

Primer parcial – Primera fecha 26/10/2012

APELLIDO, Nombre	
N° de alumno	
Observaciones	

Problema 1

Suponga un procesador simple de carga-almacenamiento en el que se está evaluando aplicar segmentación al ciclo de instrucción. Como primera aproximación, para un análisis simplificado, considere solamente las instrucciones que involucran a la ALU.

Una primera opción sería implementar la segmentación de dichas instrucciones en 3 etapas F-D-E (captación-decodificación-ejecución), donde la etapa de ejecución se encargaría tanto de la lectura como de la escritura de los registros (operandos).

La segunda opción sería agregar una cuarta etapa W (escritura) que se encargaría de la escritura de los registros, mientras que la lectura de los mismos se delegaría a la etapa de decodificación, liberando así a la etapa de ejecución de la manipulación de registros.

- a) Muestre en un diagrama de tiempo (utilizando la misma escala para las dos opciones) cómo evoluciona el flujo de instrucciones en las segmentaciones de 3 y 4 etapas.
- b) Compare el costo de implementar ambas opciones.
- b) Calcule la mejora de la segmentación de 4 etapas respecto de la de 3.

Problema 2

En un diagrama de la organización del procesador MIPS (ver adjunto) muestre cómo se ejecutan en el mismo pipeline los tres diferentes tipos de instrucciones (I, R y J). Presente brevemente los riesgos de dicha segmentación y proponga técnicas para moderar los efectos de los riesgos más importantes.

Problema 3

Muestre la diferencia que existe entre la estrategia superescalar de explotación del paralelismo a nivel de instrucciones y la estrategia utilizada por los procesadores de instrucción muy larga (VLIW). Enumere las ventajas y desventajas de cada una.

Problema 4

Escriba aquí el número de ejercicio con simulador asignado y entregue en hoja aparte.

--

