

ARQUITECTURA DE COMPUTADORES II – Curso 2013
Primer parcial – Primera fecha 18/10/2013

APELLIDO, Nombre	
N° de alumno	
Observaciones	

Problema 1

Considere una arquitectura en la que los saltos condicionales fuerzan la detención obligatoria del cauce segmentado durante un ciclo de reloj, se tome o no el salto. Suponga que para la aplicación de interés los saltos condicionales representan el 20% del total de las instrucciones y constituyen el único riesgo de detención durante la ejecución.

Se analiza implementar una técnica de predicción dinámica de saltos que se espera sea efectiva en el 75% de los casos. Para ello sería necesario disminuir la frecuencia de operación del cauce.

¿Hasta qué porcentaje de reducción de dicha frecuencia sería razonable aceptar para incorporar la mejora?

Problema 2

Considere el problema de calcular el promedio de ocho números de 32 bits en punto fijo que se encuentran almacenados en posiciones consecutivas de la memoria de datos.

- i) Proponga una secuencia de instrucciones para el procesador RISC clásico de 32 bits que resuelva el problema. ¿Existe una sola solución? ¿Puede ser desenrollado el bucle?
- ii) Considere la ejecución de la mejor secuencia en un cauce segmentado clásico de cinco etapas. Calcule la cantidad de detenciones que se producen.
- iii) Calcule la mejora que se obtiene si se utiliza la técnica de adelantamiento (forwarding), desde la salida hacia la entrada de la ALU.
- iv) Recalcule la mejora si en lugar de adelantamiento se implementa capacidad superescalar que permita procesar dos instrucciones simultáneamente .

Problema 3

Enumere los principales aspectos a tener en cuenta si se desea implementar un procesador con una productividad de una instrucción por ciclo de reloj.

Problema 4

Compare las diferentes aproximaciones utilizadas por los procesadores superescalares y VLIW frente al problema de explotación del paralelismo a nivel de las instrucciones (ILP).