

ARQUITECTURA AVANZADA DE PROCESADORES
ARQUITECTURA DE COMPUTADORES II
Curso 2014 - Primer parcial, fecha flotante 16/12/2014

APELLIDO, Nombre	
Nº de alumno	
Carrera	

Problema 1

La MCS-51, más conocida como 8051, es una arquitectura microprogramada CISC de 8 bits desarrollada originalmente por Intel en la década del 80 para ser utilizada en sistemas embebidos. Más de 30 años después esta arquitectura aún goza de perfecto estado de salud, siendo comercializada por diversos fabricantes y con gran difusión en el segmento de los sistemas embebidos de muy bajo costo y consumo.

En 2005 la firma Atmel anunció la comercialización de la familia de microcontroladores AT89LP que tiene el mismo set de instrucciones del 8051, pero cuya organización implementa decodificación en un único ciclo, pipeline de dos etapas y multiplicación rápida. Estas mejoras reducen marcadamente los CPI de todas las instrucciones del set, como se puede apreciar en la siguiente tabla:

Categoría	CPI 8051 original	CPI AT89LP	Frecuencia relativa
Instrucciones ALU	12	1	40%
Load/Store, Control	24	2	55%
Multiplicaciones	48	2	4%
Divisiones	48	4	1%

Se está evaluando actualizar el diseño de un reloj de pulsera basado en un microcontrolador 8051 de arquitectura clásica, reemplazando a este último por uno de la familia AT89LP. La frecuencia del reloj de sistema es de 32768 Hz, y la duración de la pila con el diseño actual es de 6 meses. El software consiste en una subrutina ONESEC que se ejecuta una vez por segundo para actualizar la hora y la fecha, los cronómetros activos, las alarmas y demás funciones del reloj, y que una vez finalizada pone al procesador en un modo de ultra bajo consumo para prolongar la duración de la pila. La frecuencia relativa de las instrucciones de ONESEC es la que aparece en la última columna de la tabla.

- Calcule los CPI promedio empleados en cada ejecución de la rutina ONESEC.
- Determine la mejora que se obtiene en el tiempo de ejecución de la rutina ONESEC con la organización mejorada frente a la clásica.
- Si se asume que la duración de la batería es inversamente proporcional a la cantidad de ciclos de reloj que toma ejecutar la rutina ONESEC, y que el consumo por ciclo de reloj es igual para los dos procesadores, escriba la expresión de la duración de la pila en función de la mejora calculada en (b). ¿Cuál será la duración de la pila utilizando el procesador de organización mejorada?
- Fundamente. ¿Por qué le parece que Intel no utilizó la organización mejorada del procesador en la versión original de la arquitectura 8051?

Problema 2

Suponga un procesador RISC cuyo cauce de instrucciones se encuentra segmentado en 5 etapas. Para una determinada aplicación se detectó, entre otras situaciones, que el 20% de las instrucciones son

cargas seguidas de una operación de la ALU en la cual se utiliza el registro recién cargado. Cada vez que se presenta esta situación se producen dos detenciones del cauce de instrucciones.

Se propone agregar a la organización del procesador una unidad de adelantamiento (forwarding) que solucione este inconveniente.

- a. Describa brevemente el funcionamiento que debería tener dicha unidad, muestre en un diagrama de tiempo su funcionamiento y calcule la mejora que podría obtenerse.
- b. Hasta qué porcentaje de la frecuencia de reloj estaría Ud. dispuesto a sacrificar a cambio de la implementación de dicha unidad de adelantamiento?

Teoría

Suponga que con los conocimientos adquiridos durante este año se propone Ud. encarar el diseño de un procesador cuya productividad real se aproxime a una instrucción por ciclo de reloj. Enumere y discuta brevemente los principales aspectos a tener en cuenta respecto de la organización, la arquitectura del repertorio de instrucciones y la tecnología de implementación. Muestre cómo estos temas se relacionan entre sí, generando diferentes compromisos de diseño.