

APELLIDO, Nombre	
Nº de alumno / carrera	
Temas que rinde	

**Práctica 1-1**

Considere una arquitectura en la que los saltos condicionales fuerzan la detención obligatoria del cauce segmentado durante un ciclo de reloj, se tome o no el salto. Suponga que para la aplicación de interés los saltos condicionales representan aproximadamente el 20% del total de las instrucciones y constituyen el único riesgo de detención durante la ejecución. Se analiza implementar una técnica de predicción de saltos que se espera sea efectiva en el 80% de los casos. Para ello sería necesario aumentar el área del procesador y disminuir la frecuencia de operación del cauce.

- Si el objetivo es aumentar la performance del procesador, ¿hasta qué porcentaje de reducción de la frecuencia sería razonable aceptar para incorporar la mejora?
- Si el objetivo es reducir el consumo del procesador, considerando que se consigue implementar la mejora con sólo una reducción de la frecuencia del 5%, ¿hasta qué porcentaje de aumento del área (suponiendo que es proporcional al consumo de potencia) estaría dispuesto a admitir?

**Práctica 1-2**

Considere el problema de calcular el promedio de ocho números de 32 bits en punto fijo que se encuentran almacenados en posiciones consecutivas al comienzo de la memoria de datos.

- Proponga una secuencia de instrucciones para el procesador RISC clásico de 32 bits que resuelva el problema en forma de bucle, con un registro funcionando como acumulador. Utilice las instrucciones load, add, shift y jz (saltar si un registro es cero). ¿Existe otra solución? ¿Puede ser desenrollado el bucle? Ventajas y desventajas.
- Considere la ejecución en un cauce segmentado clásico de cinco etapas. Calcule la cantidad de detenciones que se producen. Realice su mejor esfuerzo para optimizar el tiempo de ejecución sin modificar el procesador.
- Calcule la mejora que se obtendría si se implementan técnicas de adelantamiento (forwarding).
- Recalcule la mejora si además de adelantamiento se implementa capacidad superescalar, tal que permita procesar dos instrucciones consecutivas simultáneamente.

**Teoría 1-1**

Enumere los principales aspectos que fueron tenidos en cuenta en el diseño de las arquitecturas RISC de 32 bits.

**Teoría 1-2**

Explique cómo funcionan y qué utilidad tienen los benchmarks DMIPS/MHz y DMIPS/Watt en el contexto de las arquitecturas superescalares. ¿Cuáles son las ventajas de Coremark? Ejemplos.

**Práctica 2-1**

Se dispone de un programa de simulación que realiza operaciones con matrices de números en punto flotante de doble precisión. La ejecución de cada instancia de la simulación toma aproximadamente 3 horas en un procesador con una capacidad de cómputo de 1 GFLOP. Suponga que existe la posibilidad de paralelizar el programa y ejecutarlo en un cluster de computadoras idénticas de 2 GFLOP de capacidad de cómputo, conectadas mediante una red Ethernet de 100 Mbps.

En una primera inspección el programa parece completamente paralelizable. Sin embargo, la versión paralela requiere una cierta cantidad de código adicional para la preparación de los datos y su transmisión a los nodos. En primera instancia puede suponerse que la preparación de los datos insume un tiempo equivalente al 3% del total del código y que el tiempo de comunicaciones por nodo es el equivalente a transmitir 10 MB de datos.

- Calcule para qué cantidad de nodos se consigue la máxima mejora en el tiempo de ejecución de una simulación. ¿Cuánto vale la eficiencia en ese caso? ¿Qué mejora obtiene si utiliza la mitad de nodos? Conclusiones.
- Ahora imagine que se desean ejecutar varias instancias de la simulación. Suponiendo que cada instancia es independiente de las demás, ¿cuál sería la estrategia más recomendable? Calcule la mejora y la eficiencia en ese caso.

**Teoría 2-1**

Compare los modelos propuestos por Amdahl y Gustafson para los sistemas paralelos. Para ello utilice, con precaución, los conceptos de latencia, productividad, mejora (speedup) y eficiencia. Desarrolle el criterio de escalabilidad en este contexto.

**Teoría 2-2**

Muestre los criterios que utilizaría para diseñar un sistema de varios procesadores superescalares simétricos conectados a través de un bus compartido, en el que cada procesador dispone de su propia memoria caché. Presente un ejemplo numérico.

**Teoría 2-3**

Describa la funcionalidad y la organización de las extensiones multimedia que se incluyen en los procesadores de propósitos generales actuales. Realice una comparación con la arquitectura de las GPU.