

Flotante/Integrador 2 – 23/2/2016

APELLIDO, Nombre	
Nº de alumno / carrera	
Temas que rinde	

Práctica 1

Considere un procesador RISC clásico de 32 bits con un cauce segmentado clásico de cinco etapas. Considere los riesgos que se presentan cuando:

- a) Una instrucción de carga de registro es seguida de una instrucción aritmética que utiliza el valor cargado en la instrucción anterior. Por ejemplo `load r1, 0(r10)` seguido de `add r3, r2, r1`.
- b) Una instrucción aritmética es seguida de otra instrucción aritmética que utiliza el valor calculado en la instrucción anterior. Por ejemplo `add r3, r2, r1` seguido de `add r5, r4, r3`.

Se trata del mismo problema? Proponga soluciones.

Práctica 2

Considere una arquitectura en la que los saltos condicionales fuerzan la detención obligatoria del cauce segmentado durante un ciclo de reloj, se tome o no el salto. Suponga que para la aplicación de interés los saltos condicionales representan aproximadamente el 15% del total de las instrucciones y constituyen el único riesgo de detención durante la ejecución. Se analiza implementar una técnica de predicción de saltos que se espera sea efectiva en el 75% de los casos. Para ello sería necesario aumentar el consumo de potencia del procesador y disminuir la frecuencia de operación del cauce.

- a) Si el objetivo es aumentar la performance del procesador, ¿hasta qué porcentaje de reducción de la frecuencia sería razonable aceptar para incorporar la mejora?
- b) Suponga ahora que el objetivo es reducir la cantidad de energía que el procesador utiliza para una determinada tarea (para prolongar la vida de las baterías, por ejemplo). Considerando que se consigue implementar la mejora con sólo una reducción de la frecuencia del 5%, ¿hasta qué porcentaje de aumento del consumo de potencia estaría dispuesto a admitir?

Práctica 3

Considere tres tipos de computadores diferentes, A, B y C, con las siguientes capacidades de cálculo para un tipo de problema representativo:

- Máquinas A: 200 Mflops de capacidad sostenida por cada máquina.
- Máquinas B: 250 Mflops por cada máquina.
- Máquinas C: 400 Mflops por cada máquina.

Se quiere ejecutar una simulación de la cual se sabe que tiene una fracción no paralelizable del 1%, y que ejecutado en un cluster homogéneo de 120 máquinas tipo A insume 48 hs.

Existe la posibilidad de realizar la simulación en uno de tres clusters no homogéneos posibles:

	Conformación	Costo
Cluster X	100 máquinas A, 40 B, 10 C	\$4.0 por cada hora
Cluster Y	80 máquinas B, 10 C	\$4.5 por cada hora
Cluster Z	80 máquinas C	\$6.0 por cada hora

En todos los casos la parte serie se ejecuta en la mejor máquina disponible (una de tipo C).

- a) ¿Cuál es la cantidad de operaciones punto flotante que conforman la simulación?
- b) ¿Cuál es el límite inferior en el tiempo de ejecución de la simulación, según Amdahl? Explícite las condiciones en las que es válida su respuesta.
- c) ¿Qué cluster resolverá la simulación más rápidamente? ¿Cuál lo hará de forma más económica?

Teoría 1-1

Enumere los principales aspectos que fueron tenidos en cuenta en el diseño de las arquitecturas RISC de 32 bits.

Teoría 1-2

Explique cómo funcionan y qué utilidad tienen los benchmarks DMIPS/MHz y DMIPS/Watt en el contexto de las arquitecturas superescalares. ¿Cuáles son las ventajas de Coremark? Ejemplos.

Teoría 2-1

Compare los modelos propuestos por Amdahl y Gustafson para los sistemas paralelos. Para ello utilice, con precaución, los conceptos de latencia, productividad, mejora (speedup) y eficiencia. Desarrolle el criterio de escalabilidad en este contexto.

Teoría 2-2

Muestre los criterios que utilizaría para diseñar un sistema de varios procesadores superescalares simétricos conectados a través de un bus compartido, en el que cada procesador dispone de su propia memoria caché. Presente un ejemplo numérico.

Teoría 2-3

Describa la funcionalidad y la organización de las extensiones multimedia que se incluyen en los procesadores de propósitos generales actuales. Realice una comparación con la arquitectura de las GPU.