

ARQUITECTURA AVANZADA DE PROCESADORES
ARQUITECTURA DE COMPUTADORES II
Curso 2015 - Primer parcial, primera fecha 16/10/2015

APELLIDO, Nombre	
Nº de alumno	
Carrera	

Problema 1

Se ha sugerido añadir un modo de direccionamiento registro-memoria a una máquina de carga-almacenamiento. La idea es sustituir las secuencias del tipo

```
load R1, 0(Rb) ; carga R1 con una posición de memoria
add R2, R2, R1 ; utiliza R1 como argumento de una acumulacion
```

por

```
add R2, 0(Rb) ; acepta argumento en memoria
```

La implementación de este nuevo modo de direccionamiento no afectaría el CPI pero requeriría incrementar un 10% el ciclo de reloj.

Sabiendo que la frecuencia de utilización de instrucciones es:

- Saltos: 18%
- Referencias a memoria (Cargas/Almacenamiento): 36%
- ALU: 46%

y que 2/3 de las operaciones de referencia a memoria son de carga, responda:

- a. ¿Qué porcentaje de instrucciones de carga deben poder eliminarse para que la nueva máquina tenga el mismo rendimiento?
- b. Proponga un ejemplo de instrucciones donde no se pueda eliminar la instrucción de carga mediante la nueva instrucción.
- c. ¿Qué efecto tiene la primer secuencia en un pipeline de cinco etapas como el del procesador MIPS?

Problema 2

Considere la siguiente secuencia de instrucciones:

```
; Extraer los primeros tres dígitos decimales
I01 ld R2,NUM(R8) ; carga el número en el registro R2
I02 div R3,R2,#10 ; calcula el divisor en R3
I03 mul R4,R3,#10
I04 sub R4,R2,R4 ; calcula el resto y lo deja en R4
I05 st R4,DIGIT0(R8) ; guarda el primer dígito en memoria
I06 add R2,R3,R0 ; comienza el cálculo del siguiente dígito
I07 div R3,R2,#10 ; calcula el divisor en R3
I08 mul R4,R3,#10 ;
I09 sub R4,R2,R4 ; calcula el resto y lo deja en R4
I10 st R4,DIGIT1(R8) ; guarda el segundo dígito en memoria
I11 st R3,DIGIT2(R8) ; guarda el tercer dígito en memoria
```

Suponga que dispone de un procesador superescalar ideal que dispone de los siguientes tipos de unidades funcionales, con infinita cantidad de cada una (no tiene detenciones estructurales):

- ALUs para sumas, restas, operaciones lógicas, corrimientos de bit, etc.

Toma 1 ciclo por instrucción.

- Unidades de memoria para cargas y almacenamientos en memoria.

Toma 4 ciclos por instrucción.

- Unidades de multiplicación/división entera.

Toma 2 ciclos por instrucción.

Además el procesador tiene emisión y finalización totalmente desordenada con renombrado de registros, y una ventana de entrada de ancho infinito (es decir, puede analizar todas las instrucciones simultáneamente). Responda:

- ¿Qué tipos de dependencias de datos existen? ¿Cuáles son reales y cuales de nombre? ¿Cuales se resuelven por renombrado de registros?
- Liste, clasificadas por tipo, todas las dependencias que tienen las instrucciones I06 e I07 con cualquier otra instrucción del fragmento.
- Utilice un grafo orientado para representar las dependencias reales presentes en el fragmento. Utilizando esta representación, responda: ¿cuántos ciclos le toma a este procesador superescalar ideal completar la ejecución del fragmento de programa? ¿es posible reducir el tiempo de ejecución por debajo de esta cifra? Justifique.

Problema 3

Analice el rol que tiene el diseño del banco de registros en una arquitectura moderna de propósitos generales. Considere la cantidad de registros disponibles, el número de bits de los mismos, puertos de acceso, funcionalidad, ortogonalidad, costo, tiempo de acceso, etc. Confrontar con el diseño del cache de datos.

Problema 4

Resuma brevemente las similitudes y diferencias entre la filosofía de diseño de los procesadores superescalares y la de los procesadores VLIW. Enumere las ventajas y desventajas de cada aproximación.