

ARQUITECTURA AVANZADA DE PROCESADORES
ARQUITECTURA DE COMPUTADORES II
Curso 2016 - Segundo parcial, flotante 21/2/2017

APELLIDO, Nombre	
Nº de alumno	
Carrera	

PRIMER MODULO

Teoría

Considere un procesador con segmentación RISC clásica de 5 etapas. Si el objetivo es conseguir una productividad lo más cercana posible a una instrucción por ciclo, enumere y describa brevemente los aspectos que deberán ser tenidos en cuenta en el diseño del pipeline (y del repertorio de instrucciones en caso de ser necesario).

Notas: No se demore en describir la funcionalidad de cada etapa de la segmentación ni en dibujar diagramas complicados. Mantenga la visión general del problema. La completitud es importante. No confunda los aspectos del diseño del repertorio de instrucciones (ISA), con los de organización y de tecnología de implementación. No confunda las limitaciones estructurales, de datos y de control. Contemple la posibilidad de alterar el comportamiento del procesador tradicional y tenga en cuenta el efecto que podrían tener las técnicas de compilación en la eficiencia del mismo.

Práctica

Considere un procesador segmentado en tres etapas sobre el cual se desea implementar una técnica de carga especulativa que permite reducir de 2 a 1 el CPI de la instrucción de carga mientras que el resto de las instrucciones se ejecutan en 1 ciclo. Suponga que la frecuencia de reloj de la máquina debe reducirse un 10% para que la nueva técnica funcione y que en promedio se espera una probabilidad de éxito del 70% (en caso de especulación incorrecta la carga toma dos ciclos). Indique cuál debería ser la proporción de instrucciones de carga en un programa para que se justifique la utilización de la técnica.

SEGUNDO MODULO

Práctica

a) Compare el análisis de Amdhal con el de Gustafson-Barsis en el contexto de los sistemas paralelos con sección serie. En principio considere despreciable el efecto del tiempo de comunicación. Grafique la mejora que puede obtenerse en función del número de procesadores (ambas en el mismo gráfico). Muestre un ejemplo numérico para ambos casos.

b) Considere ahora el efecto del tiempo de comunicación entre procesadores. Muestre cómo se verían afectados los ejemplos anteriores y los gráficos de mejora. Todo con unidades y en escala.

Teoría

a) Presente las ventajas y desventajas de la organización multiprocesador de acceso no uniforme a memoria (NUMA) respecto de una organización simétrica (SMP). Mencione cómo influye esta diferencia sobre el problema de la coherencia de los caches.

b) Resuma brevemente las similitudes y diferencias entre la filosofía de diseño de los procesadores superescalares y la de los procesadores VLIW. Enumere las ventajas y desventajas de cada aproximación.