

ARQUITECTURA AVANZADA DE PROCESADORES
ARQUITECTURA DE COMPUTADORES II
Curso 2016 - Primer parcial, primera fecha 11/10/2016

APELLIDO, Nombre	
Nº de alumno	
Carrera	

Teoría

Considere un procesador con segmentación RISC clásica de 5 etapas. Si el objetivo es conseguir una productividad lo más cercana posible a una instrucción por ciclo, **enumere y describa brevemente** los aspectos que deberán ser tenidos en cuenta en el diseño del pipeline (y del repertorio de instrucciones en caso de ser necesario).

Notas: No se demore en describir la funcionalidad de cada etapa de la segmentación ni en dibujar diagramas complicados. Mantenga la visión general del problema. La completitud es importante. No confunda los aspectos del diseño del repertorio de instrucciones (ISA), con los de organización y de tecnología de implementación. No confunda las limitaciones estructurales, de datos y de control. Contemple la posibilidad de alterar el comportamiento del procesador tradicional y tenga en cuenta el efecto que podrían tener las técnicas de compilación en la eficiencia del mismo.

Problema 1

Para un procesador se tienen los siguientes CPI:

Operaciones ALU	1
Carga/Almacenamiento	3
Salto	5

Un programa se compila normalmente y luego con un compilador optimizado. Se sabe que:

	Millones de instrucciones ejecutadas		Frecuencia del tipo de operación	
	Optimizado	No optimizado	Optimizado	No optimizado
Salto	26	28	18%	16%
Carga/Almacenamiento	53	70	36%	39%
Operaciones ALU	69	81	46%	45%

- a) Cuántas veces es más rápido el programa de la versión optimizada?
 b) Si la versión no optimizada se corriese en una máquina en la que las instrucciones de carga/almacenamiento tuvieran un CPI de 4 y los saltos de 6, qué porcentaje debería aumentarse la frecuencia de clock para que tardase lo mismo que la versión optimizada en la máquina original?

Problema 2

Considere el pipeline MIPS clásico, con cálculo de saltos en la segunda etapa y sin predicción estática de saltos de ningún tipo (el pipeline se detiene hasta poder decidir el salto).

1) Dibuje el diagrama de tiempos e indique cuántos ciclos serán necesarios para ejecutar las siguientes secuencias de instrucciones con dependencias reales, para dos casos: pipeline con adelantamiento y pipeline sin adelantamiento:

- a) Carga seguida de instrucción ALU.
- b) Carga seguida de un almacenamiento, con dependencia en el dato a almacenar.
- c) Carga seguida de un almacenamiento, con dependencia en índice del almacenamiento.
- d) Instrucción ALU seguida de carga, con dependencia en el índice de la dirección.
- e) Instrucción ALU seguida de salto condicional.
- f) Instrucción de carga seguida de salto condicional.

2) Calcule la cantidad de ciclos que toma la ejecución del siguiente programa, con y sin adelantamiento.

```
.data
fibo: .word32 1, 1
.text
daddi R5,R0,10
daddi R4,R0,fibo
loop: lw R2,0(R4)
      lw R3,4(R4)
      dadd R3,R2,R3
      sw R3,8(R4)
      daddi R4,R4,4
      daddi R5,R5,-1
      bnez R5,loop
```