

**ARQUITECTURA AVANZADA DE PROCESADORES**  
**ARQUITECTURA DE COMPUTADORES II**  
*Curso 2017 - Primer parcial, flotante 20/12/2017*

APELLIDO, Nombre	
Nº de alumno	

**Práctica 1**

Considere un procesador de tipo MIPS que utiliza el pipeline alternativo descrito en “Microprocesor Architecture – from simple pipelines to chip multiprocessors” de J. L. Baer. Tal como se vió al realizar el ejercicio [2d] del TP03, esta organización tiene las siguientes características: Pipeline de 5 etapas: FE – ID – AG – MEM/EX – WR, donde AG es address generation (cálculo de direcciones) para load/stores, y la etapa MEM/EX realiza accesos a memoria (load/stores) y las operaciones aritmético-lógicas (instrucciones ALU). La efectivización de los saltos se realiza en la etapa AG, con predicción estática never-taken.

Responda:

- 1) ¿Qué deficiencia de la organización del MIPS clásico resuelve esta organización alternativa? ¿qué problema principal introduce?
- 2) Dibuje los diagramas de tiempos resultantes de ejecutar las siguientes secuencias de instrucciones, asumiendo en cada caso que el par de instrucciones está ligado por una dependencia real y que la organización del procesador dispone de adelantamiento para evitar detenciones siempre que sea posible:
  - a) Carga seguida de instrucción ALU.
  - b) Carga seguida de un almacenamiento, con dependencia en el dato a almacenar.
  - c) Carga seguida de un almacenamiento, con dependencia en índice del almacenamiento.
  - d) Instrucción ALU seguida de carga, con dependencia en el índice de la dirección.
  - e) Instrucción ALU seguida de salto condicional.
  - f) Instrucción de carga seguida de salto condicional.
- 3) Calcule la cantidad de ciclos que toma la ejecución del siguiente programa, con y sin adelantamiento.

```

|      .data
!      fibo: .word32 1, 1
!      .text
!      daddi R5,R0,10
!      daddi R4,R0,fibo
!      loop: lw R2,0(R4)
!            lw R3,4(R4)
!            dadd R3,R2,R3
!            sw R3,8(R4)
!            daddi R4,R4,4
!            daddi R5,R5,-1
!            bnez R5,loop
!            halt

```

**Práctica 2**

Se cuenta con tres procesadores A, B y C, caracterizados por la siguiente tabla:

Procesador	Frecuencia MHz	CPI promedio	Ejecución en ciclos	Ejecución en segundos	Mejora respecto de A
A	10	1.10	150e6	?	?
B	?	1.05	200e6	25	?
C	12	1.40	?	?	1.25

Donde la cuarta columna corresponde a la duración en ciclos de procesador de la ejecución de un programa consistente en 100000 vueltas del bucle principal del benchmark clásico Dhrystone.

Responda:

- 1) ¿Cuántos MIPS alcanza cada procesador?
- 2) ¿Qué índice de Dhrystones logran?
- 3) ¿Qué índice en DMIPS logra cada uno? ¿Por qué es diferente de la respuesta en (1)?
- 4) ¿Cuántos DMIPS/MHz?
- 5) ¿Qué índice es mejor para indicar el desempeño del procesador? ¿Qué procesador es mejor? Fundamente.

### **Teoría 1**

Resuma brevemente las similitudes y diferencias entre la filosofía de diseño de los procesadores superescalares y la de los procesadores VLIW. Enumere las ventajas y desventajas de cada aproximación. Muestre el campo de aplicación de cada una.

### **Teoría 2**

Analice el rol del del banco de registros en una arquitectura segmentada de carga-almacenamiento. Considere la cantidad de registros, el número de bits de los mismos, puertos de acceso, funcionalidad, ortogonalidad, costo, tiempo de acceso, etc. Confrontar con el diseño del cache de datos.