

Nombre completo:
Número de alumno:

ARQUITECTURA AVANZADA DE PROCESADORES
ARQUITECTURA DE COMPUTADORES II
Curso 2017 - Primer parcial, primera fecha 24/10/2017

Teoría 1

Considere un cauce segmentado RISC clásico de 5 etapas (IF-ID-EX-MEM-WB).

- a) Muestre en qué casos las técnicas de adelantamiento (forwarding) permiten disminuir el número de detenciones.
- b) ¿Qué recursos de hardware son necesarios para su implementación?

Teoría 2

En el marco de las arquitecturas superescalares,

- a) ¿En qué consiste la técnica de emisión desordenada?
- b) ¿Qué recursos son necesarios para su implementación?
- c) ¿Qué factores limitan su eficacia?

Práctica 1

Considere un procesador segmentado con una productividad cercana a una instrucción por ciclo de reloj, para el cual se han detectado dos puntos sensibles de mejora.

- i) Durante una aplicación típica con enteros de 32 bits se realiza muy frecuentemente una multiplicación seguida de una acumulación del resultado. Por medio de un benchmark sintético se consigue determinar que dicha situación representa aproximadamente el 30% de la carga total del procesador (15% multiplicaciones y 15% de sumas). Se propone una mejora para el procesador que consiste en agregar una nueva instrucción MAC que realice la multiplicación y la acumulación en un ciclo. Para ello será necesario agregar hardware y disminuir un 6% la frecuencia de operación del pipeline.
- ii) Los saltos condicionales, que según el mismo benchmark representan aproximadamente un 8% de la carga, producen siempre una detención del pipeline. Con la misma cantidad de hardware adicional que en el punto anterior se podrían eliminar completamente dichas detenciones, preservando la frecuencia de operación original.

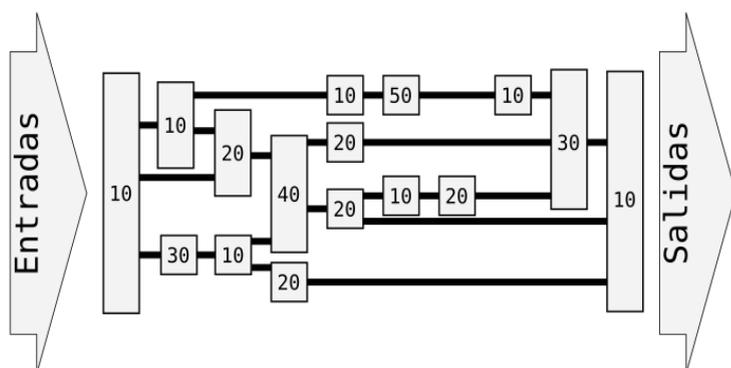
Responda y justifique:

- a) ¿Cuál de las dos propuestas resulta más conveniente?
- b) ¿Cómo expresaría correctamente los resultados?
- c) ¿Cómo se verían afectadas las instrucciones de punto flotante con dichas mejoras?
- d) ¿Cómo deberá proceder si sospecha que el benchmark utilizado no representa correctamente la carga típica del procesador?

Práctica 2

La figura representa un datapath formado por una combinación de bloques de lógica digital interconectados. Cada caja representa un bloque lógico, y el número indica la latencia de dicho elemento en nanosegundos.

- a) ¿Cuál es la latencia del datapath sin segmentación? ¿Cuál su frecuencia máxima de operación?



- b) Segmente el datapath en cuatro etapas aproximadamente balanceadas. Redibuje el diagrama de forma que se indiquen claramente los límites entre las etapas y la ubicación de los registros.

- c) ¿Qué frecuencia máxima alcanza su diseño segmentado? ¿Es un pipeline balanceado? ¿Cuál es la latencia del datapath con segmentación? ¿Cómo expresaría la productividad?

- d) Si los bloques de lógica digital son indivisibles, ¿Cuál es el límite

máximo de la segmentación y cuál sería la frecuencia máxima de operación del circuito?